

METHOD AND DEVICE FOR VITERBI DECODING

Patent Number: JP6232918
Publication date: 1994-08-19
Inventor(s): IKEDA YASUNARI
Applicant(s): SONY CORP
Requested Patent: ☐ JP6232918
Application Number: JP19930017410 19930204
Priority Number(s):
IPC Classification: H04L25/08; H04L27/00; H04L27/38; H04L27/22
EC Classification:
Equivalents: JP3381286B2

Abstract

PURPOSE: To allow the device to cope with even a coding system having four phase uncertain states or over even without complicated circuit configuration when a reception signal subject to trellis coding modulation is demodulated.

CONSTITUTION: A branch metric generating circuit 21 calculates a branch metric based on I and Q signals. A branch metric correction circuit 22 consists of a barrel shifter 220 and replaces the order of branch metric based on a control signal from a carrier phase control circuit 26. An ACS circuit 23 executes maximum likelihood path calculation based on the inputted branch metric. A path memory 24 stores a prescribed stage number of the path selected based on the control from the ACS circuit 23. The carrier phase control circuit 26 identifies that the phase of the recovered carrier signal is deviated from the phase of the carrier signal of a transmitter based on the maximum likelihood path outputted from the ACS circuit 23 to control the branch metric correction circuit 22 thereby compensating the phase shift.

Data supplied from the esp@cenet database - I2

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-232918

(43)Date of publication of application : 19.08.1994

(51)Int.Cl.

H04L 25/08
H04L 27/00
H04L 27/38
H04L 27/22
// H03M 13/12

(21)Application number : 05-017410

(71)Applicant : SONY CORP

(22)Date of filing : 04.02.1993

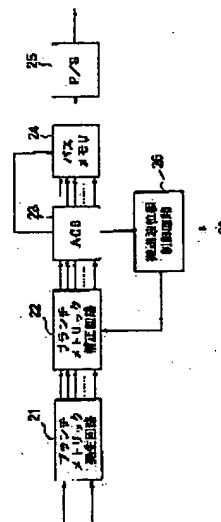
(72)Inventor : IKEDA YASUNARI

(54) METHOD AND DEVICE FOR VITERBI DECODING

(57)Abstract:

PURPOSE: To allow the device to cope with even a coding system having four phase uncertain states or over even without complicated circuit configuration when a reception signal subject to trellis coding modulation is demodulated.

CONSTITUTION: A branch metric generating circuit 21 calculates a branch metric based on I and Q signals. A branch metric correction circuit 22 consists of a barrel shifter 220 and replaces the order of branch metric based on a control signal from a carrier phase control circuit 26. An ACS circuit 23 executes maximum likelihood path calculation based on the inputted branch metric. A path memory 24 stores a prescribed stage number of the path selected based on the control from the ACS circuit 23. The carrier phase control circuit 26 identifies that the phase of the recovered carrier signal is deviated from the phase of the carrier signal of a transmitter based on the maximum likelihood path outputted from the ACS circuit 23 to control the branch metric correction circuit 22 thereby compensating the phase shift.



LEGAL STATUS

[Date of request for examination]

03.02.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3381286

[Date of registration]

20.12.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-232918

(43)公開日 平成6年(1994)8月19日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

H04L 25/08

B 9199-5K

27/00

27/38

9297-5K

H04L 27/00

B

9297-5K

G

審査請求 未請求 請求項の数9 OL (全14頁) 最終頁に続く

(21)出願番号

特願平5-17410

(22)出願日

平成5年(1993)2月4日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 池田 康成

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

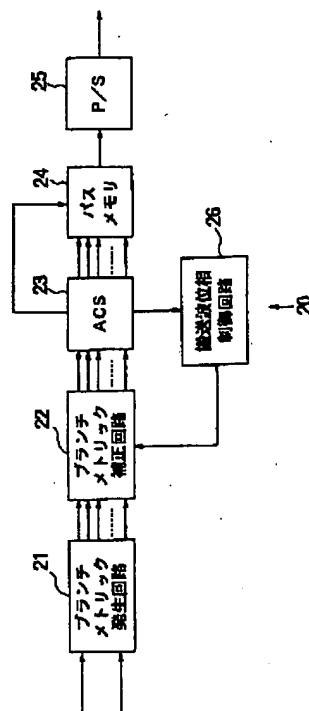
(74)代理人 弁理士 佐藤 隆久

(54)【発明の名称】 ビタビ復号方法およびその装置

(57)【要約】 (修正有)

【目的】 トリレス符号化変調された受信信号の復調において、回路構成が複雑でなくとも、4状態以上の位相不確定状態を有する符号化方式にも対応可能にする。

【構成】 ブランチメトリック発生回路21はI信号およびQ信号に基づいてそのブランチメトリックを算出する。ブランチメトリック補正回路22はパレルシフタ220から構成され、搬送波位相制御回路26からの制御信号に基づいてブランチメトリックの順番を入れ換える。ACS回路23は入力されたブランチメトリックに基づいて最尤パス計算を行う。パスメモリ24はACS回路23からの制御に基づいて選択されたパスを所定段数記憶する。搬送波位相制御回路26は、ACS回路23から出力される最尤パスに基づいて再生搬送波信号の位相が送信機の搬送波信号と位相的にずれていることを識別し、ブランチメトリック補正回路22を制御して移相補償を行わせる。



【特許請求の範囲】

【請求項1】トレリス符号化変調により符号化変調された受信信号について、符号化変調方式に基づいて受信信号についてそれぞれブランチメトリックを算出し、前記ブランチメトリックに基づいて最尤パスを算出し、正規化された最小のステートメトリックを所定数累加算して累加算値を算出し、前記累加算値に基づいて前記各ブランチメトリックと前記受信信号の信号点との対応付けを行うビタビ復号方法。

【請求項2】前記対応付けは、前記各ブランチメトリックの入替えによって行われることを特徴とする請求項1に記載のビタビ復号方法。

【請求項3】前記対応付けは、前記累加算値が所定の規準値以上であることを条件に行われることを特徴とする請求項1または請求項2に記載のビタビ復号方法。

【請求項4】前記対応付けは、前記累加算値が前記規準値以下になるまで行われることを特徴とする請求項3に記載のビタビ復号方法。

【請求項5】トレリス符号化変調により符号化変調された受信信号について、符号化変調方式に基づいて受信信号についてそれぞれブランチメトリックを算出するブランチメトリック算出手段と、前記ブランチメトリックに基づいて最尤パスを算出し、正規化された最小のステートメトリックを所定数累加算して累加算値を算出する累加算手段と、前記累加算値に基づいて前記各ブランチメトリックを入れ替えるブランチメトリック入替え手段とを有するビタビ復号装置。

【請求項6】前記ブランチメトリック入替え手段はパレルシフタを有し、このパレルシフタにより前記ブランチメトリックの入替えを前記1組のブランチメトリックの順番をシフトすることにより行うことを特徴とする請求項5に記載のビタビ復号装置。

【請求項7】前記ブランチメトリック入替え手段はセレクトを有し、このセレクトにより前記ブランチメトリックの入替えを前記1組のブランチメトリックの順番をシフトすることにより行うことを特徴とする請求項6に記載のビタビ復号装置。

【請求項8】前記入れ替えは、前記累加算値が所定の規準値以上であることを条件に行われることを特徴とする請求項5～7のいずれかに記載のビタビ復号装置。

【請求項9】前記入れ替えは、前記累加算値が前記規準値以下になるまで行われることを特徴とする請求項5～8のいずれかに記載のビタビ復号装置。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】本発明は再生搬送波信号の位相の不確定状態を除去可能なビタビ復号方法およびその装置に関する。

【0002】

【従来の技術】電力制限の厳しい通信路での通信システムにおいては、一般的に誤り訂正符号を使用して符号化利得を得ることにより電力の低減が図られる。このような通信システムにおいては、送信機側で畳み込み符号化を行い受信機側でビタビ復号を行う事が一般的であるが、特に符号化方式と変調方式を融合したトレリス符号化変調方式が注目されている。

【0003】このトレリス符号化変調方式は入力データを畳み込み符号化すると共に、この畳み込み符号をユークリッド距離が最大になるように変調信号点に割り当てる方式であり、受信機側ではビタビアルゴリズムを用いて復号してゆく。具体的なトレリス符号化変調方式として、例えば符号化8PSK方式、符号化16QAM方式、符号化32QAM方式、および符号化64QAM方式等がある。

【0004】以下、従来のトレリス符号化変調方式によるデータの送受信について説明する。ここでは、符号化16QAM方式を例に説明を行う。送信機側では、受信機側に伝送するデータについて畳み込み符号化を行い、さらに畳み込み符号化されたデータに信号割当を行い、I信号(c o s軸信号)およびQ信号(s i n軸信号)として直交変調回路に入力する。

【0005】直交変調回路においては、搬送波信号とI信号、搬送波信号を90°移相した信号とQ信号をそれぞれ乗算し、この乗算結果を加算して、バンドパスフィルタ(BPF)により帯域制限して受信機側に送出する。

【0006】受信機側では送信機から送られてきた受信信号を直交検波し、ディジタル形式のI信号およびQ信号としてビタビ復号回路に入力する。受信機側における直交検波は、以下のように行われる。受信機は、直交検波の結果得られるI信号およびQ信号に基づいて搬送波信号を再生する。この再生搬送波信号、および再生搬送波信号を90°移相した信号と受信信号を乗算し、この乗算結果をそれぞれローパスフィルタ(LPF)によりフィルタリングし、さらにアナログ/ディジタル(A/D)変換してディジタル形式のI信号およびQ信号を再生する。

【0007】ビタビ復号回路においては、このI信号およびQ信号に基づいてブランチメトリックを算出し、さらに最尤パスを求め、この最尤パスの出力データをパレル/シリアル(P/S)変換して復号データとして出力する。

【0008】以上述べた受信機側のビタビ復号回路においては、送信機と受信機間の伝送路上で雑音等の影響を受けて信号が乱された場合でも、最も送信信号系列に近い系列を探し出してデータを復号することが可能である。しかし、ビタビ復号回路によるデータの復号のためには、受信信号とそれぞれの信号点とのユークリッド距

離の2乗を計算する必要がある。

【0009】以上述べた受信機においては、正確なデータ復号のため送信機から送られる搬送波信号の周波数および位相を正確に再生する必要がある。一般的に搬送波信号の再生は周波数に関しては正確に行うことが容易である。しかし、位相に関しては正確な再生は難しく、再生搬送波信号の位相に不確定さが残るのが一般的である。

【0010】搬送波信号の位相が正確に再生されない場合、受信信号と仮定している信号点とのユークリッド距離の2乗も本来と異なるので、何らかの手段で補正する必要がある。

【0011】図9は、搬送波位相補正回路71を有する従来のビタビ復号回路7の構成を示す図である。従来のビタビ復号回路7には、上述のような一般的な直交検波回路が前置され、この直交検波回路から入力されるI信号およびQ信号についてデータの復号を行う。図9において、搬送波位相補正回路71は搬送波位相制御回路76の位相制御信号(SO_i)に基づいて、直交検波回路から入力されるI信号およびQ信号の位相補正を行う。

【0012】ブランチメトリック発生回路72は、搬送波位相補正回路71で位相補正されたI信号およびQ信号に基づいて受信信号と仮定している信号点とのユークリッド距離の2乗(ブランチメトリック)を算出する。ACS回路73は、ブランチメトリック発生回路72で算出されたブランチメトリックから最尤パス(パスメトリック)を算出し、また、パスメモリ74を制御する。パスメモリ74は、ACS回路73の制御により、最尤パスを所定段数分だけ記憶する。

【0013】P/S(パラレル/シリアル)変換回路75は、パスメモリ74の出力であるパラレル形式の復号結果をシリアル形式のデータに変換して復号データとして出力する。搬送波位相制御回路76は、ACS回路73で算出された正規化された最小ステートメトリックの累加算値に基づいて搬送波位相補正回路71の制御を行う。

【0014】図10は、従来の第一の搬送波位相補正回路71の構成を示す図である。極性反転回路(INV)711a、711bは、入力されるI信号およびQ信号の極性を反転する。多重回路712a、712bは、それぞれ搬送波位相制御回路76の位相制御信号SO₀₁、SO₀₂の制御に従って、それぞれ入力される非反転I信号と反転I信号のうちのひとつを選択して出力し、非反転Q信号と反転Q信号のうちのひとつを選択して出力する。

【0015】このように搬送波位相補正回路71を構成することにより、搬送波位相補正回路71の出力は、非反転I信号と非反転Q信号、反転I信号と非反転Q信号、非反転I信号と反転I信号、および反転I信号と反転I信号のいずれかとなる。この4組の組み合わせにより、符号化16QAM方式において生じる位相不確定状

態が生じる搬送波信号と再生搬送波信号の位相差0°、90°、180°、および270°の位相状態に対応する。

【0016】図13は、16QAMの信号を示す図である。つまり従来の第一の搬送波位相補正回路71は、図13(A)に示す16QAM信号が、例えば(B)に示す再生搬送波信号の位相が送信機の搬送波信号の位相と90°異なった場合、(C)に示すように180°異なった場合、(D)に示すように270°異なった場合とでは、それぞれ図示したように本来のI信号およびQ信号と異なった信号として復号されることになる。

【0017】しかし、本来のI信号およびQ信号を得るための位相補正は、I軸およびQ軸を単にその極性あるいは組み合わせを変更するだけで実現できる。従来の第一の搬送波位相補正回路71は、このような原理によるものである。

【0018】また、上記の他に従来から以下に述べるような搬送波位相補正回路も知られている。図11は、従来の第二の搬送波位相補正回路81の構成を示す図である。従来の第二の搬送波位相補正回路81は、従来の第一の搬送波位相補正回路71を用いることによって不可能であった、例えば符号化8PSK方式に対応した45°、135°、225°、および315°の位相補正が可能のように構成されたものである。従来の第二の搬送波位相補正回路81は、従来のビタビ復号回路7において従来の第一の搬送波位相補正回路71に置き換えられて使用される。

【0019】図11において、45°補正回路710は、入力されるI信号およびQ信号をそれぞれ45°移相する。多重回路713a、713bは、搬送波位相制御回路76から入力される45°補正制御信号(SO₁₃)により制御され、45°移相されたI信号およびQ信号と移相されていないI信号およびQ信号のいずれかを選択して出力する。搬送波位相補正回路71は、上述した従来の第一の搬送波位相補正回路71と同じ構成であり、同様に位相補正を行う。

【0020】つまり、従来の第二の搬送波位相補正回路81においては、45°単位の位相補正を行うか否かを多重回路713a、713bにより選択し、さらに従来の第一の搬送波位相補正回路71と同様の位相補正を行うことにより、45°、90°、135°、180°、225°、270°、および315°の8つの位相状態に対応した補正を行っている。

【0021】図12は、45°補正回路710の構成を示す図である。45°補正回路710は、加算回路7110、減算回路7111、および乗算回路7112a、7112bから構成される。45°補正回路710に入力されたI信号およびQ信号は加算回路7110で和が計算され、また減算回路7111で差が計算され、それぞれの計算結果は極性反転回路7112a、7112b

で $(1/\sqrt{2})$ 倍されて出力される。I 信号および Q 信号は互いに 90° の位相差を有するため、上記処理により 45° の移相が可能である。

【0022】

【発明が解決しようとする課題】上記の従来の第一の搬送波位相補正回路によれば、例えば符号化 16 QAM 方式による信号のように 90° ごとに位相不確定の状態が生じる信号について再生搬送波信号の位相補正が可能である。しかし、従来の第一の搬送波位相補正回路のような装置によった場合、QAM 符号化方式のように再生搬送波信号の位相不確定が 4 状態までの符号化方式には対応できるが、例えば 8 PSK のように再生搬送波信号の位相不確定状態が 8 状態であるような符号化方式に対しては対応できなかった。

【0023】再生搬送波信号の位相不確定が 8 状態であるような符号化 8 PSK 方式等については、再生搬送波信号の位相補正のためには従来の第二の搬送波位相補正回路のような装置構成をとる必要がある。従来、位相不確定が 4 状態以上の符号化方式に対応するためには、加算回路、減算回路、および乗算回路等を有する、回路構成が複雑で回路規模の大きな位相補正回路が必要であった。

【0024】本発明は以上述べた従来技術の問題点を鑑みてなされたものであり、回路構成が複雑でなく、また回路規模が小さいにもかかわらず、4 状態以上の位相不確定状態を有する符号化変調方式にも対応可能なビタビ復号方法およびその装置を提供することを目的とする。

【0025】

【課題を解決するための手段】上記目的を達成するために本発明のビタビ復号方法およびその装置は、トレリス符号化変調により符号化変調された受信信号について、符号化変調方式に基づいて受信信号についてそれぞれブランチメトリックを算出し、前記ブランチメトリックに基づいて最尤パスを算出し、正規化された最小のステートメトリックを所定数累加算して累加算値を算出し、前記累加算値に基づいて前記各ブランチメトリックと前記受信信号の信号点との対応付けを行う。

【0026】また、前記対応付けは、前記各ブランチメトリックの入替えによって行われることを特徴とする。

【0027】また、前記対応付けは、前記累加算値が所定の規準値以上であることを条件に行われることを特徴とする請求項 1 または請求項 2 に記載のビタビ復号方法。

【0028】また、前記対応付けは、前記累加算値が前記規準値以下になるまで行われることを特徴とする。

【0029】また、トレリス符号化変調により符号化変調された受信信号について、符号化変調方式に基づいて受信信号についてそれぞれブランチメトリックを算出するブランチメトリック算出手段と、前記ブランチメトリックに基づいて最尤パスを算出し、正規化された最小の

ステートメトリックを所定数累加算して累加算値を算出する累加算手段と、前記累加算値に基づいて前記各ブランチメトリックを入れ替えるブランチメトリック入替え手段とを有する。

【0030】また、前記ブランチメトリック入替え手段はパレルシフトを有し、このパレルシフトにより前記ブランチメトリックの入替えを前記 1 組のブランチメトリックの順番をシフトすることにより行うことを特徴とする。

【0031】また、前記ブランチメトリック入替え手段はセレクトを有し、このセレクトにより前記ブランチメトリックの入替えを前記 1 組のブランチメトリックの順番をシフトすることにより行うことを特徴とする。

【0032】また、前記入れ替えは、前記累加算値が所定の規準値以上であることを条件に行われることを特徴とする。

【0033】また、前記入れ替えは、前記累加算値が前記規準値以下になるまで行われることを特徴とする。

【0034】

【作用】再生搬送波信号が送信機の搬送波信号を位相的に正確に再生されているか否かにかかわらず、受信信号と変調信号点とのユークリッド距離の 2 乗を仮のブランチメトリックとして発生し、この仮のブランチメトリックに基づいて再生搬送波信号と送信機の搬送波信号の位相的な同期がとれているか否かを識別する。さらに仮のブランチメトリックを入れ換えることにより仮のブランチメトリックがそれぞれ本来のどの信号点に対応するものかを決定することにより、再生搬送波信号が位相的に正確に再生された場合と同じ、本来のブランチメトリックを得る。

【0035】

【実施例】以下、本発明のビタビ復号方法およびその装置の実施例について説明する。本発明のビタビ復号方法およびその装置が実現される送信機 5 および受信機 1 の構成について説明する。図 1 は、トレリス符号化変調方式でデータの伝送を行う一般的な送信機 5 の構成を示す図である。図 2 は、本発明のビタビ復号方法およびその装置が適用される受信機 1 の構成を示す図である。図 3 は、受信機 1 のビタビ復号回路 20 の構成を示す図である。

【0036】図 1 において、畳み込み符号器 51 は、外部から設定された符号化変調方式に対応したレートで伝送の対象となるデータ入力について並列畳み込み符号化を行い、信号割当回路 52 に入力する。以下、畳み込み符号器 51 における畳み込み符号化、および信号割当回路 52 における信号割当を 8 PSK を例にして説明する。図 4 は、8 PSK の信号間のユークリッド距離を示す図である。図 4 に示すように、

$$\text{ユークリッド距離 } \Delta_0 = \Delta_2 \sin(\pi/8) \approx 0.3827 \Delta_2$$

ユークリッド距離 $\Delta_1 = \Delta_2 / \sqrt{2} \approx 0.7071 \Delta_2$
 ユークリッド距離 $\Delta_0 = \Delta_2 \cos(\pi/8) \approx 0.9239 \Delta_2$
 という関係になる。

【0037】図5は、拘束長3、レジスタ数 ν が2の場合の畳み込み符号器51のトレリス表現の例を示す図である。畳み込み符号器51は、2ビットの入力信号(x_1, x_0)に対して3ビットの出力信号(y_2, y_1, y_0)を出力する。この出力信号(y_2, y_1, y_0)を図5の各信号 $S_0 \sim S_7$ に対応させる。図5において、レジスタ状態(0, 0, 0)から3番目のタイムスロットで再び(0, 0, 0)に再合流するパス(0-0-0)、およびパス(6-7-6)の2つのパスについて信号間距離を求める。ここで、パス(6-7-6)のユークリッド距離は、図5を参照して、第一のブランチでは一方の信号点は S_0 であり、他方の信号点は S_6 であるからこのユークリッド距離は Δ_1 となる。

【0038】同様に第二のブランチのユークリッド距離は Δ_0 、第二のブランチのユークリッド距離は Δ_1 となる。よって、パス(6-7-6)のユークリッド距離の2乗は、
 $d_0^2 = \Delta_2 (6 - \sqrt{2}) / 2$
 となる。

【0039】このパス(6-7-6)の他に、レジスタ状態(0, 0, 0)から3タイムスロット後にレジスタ状態(0, 0, 0)に至るパスはパス(0-0-0)、パス(6-5-2)、パス(4-1-2)、およびパス(4-3-6)があるが、これらのパスのユークリッド距離の2乗はいずれも d_0^2 より大きくなる。このようにして得られる最小ユークリッド距離の2乗の最小値が最大になるように図4の各信号点に割り当てて符号化を行う。

【0040】信号割当回路52は、畳み込み符号器51の並列畳み込み符号出力について信号割当を行い、I信号およびQ信号としてPSK変調回路6に入力する。局部発振回路64は、搬送波信号を生成し、ハイブリッド回路65およびミキサ61aに入力する。ハイブリッド回路65は、局部発振回路64で発生された搬送波信号の位相を 90° 遅らせ、ミキサ61bに入力する。

【0041】ミキサ61a、61bがそれぞれI信号と搬送波信号の乗算、および、Q信号とハイブリッド回路65で 90° 遅延移相された搬送波信号の乗算を行う。加算回路62は、ミキサ61a、61bの出力信号を加算してBPF63に入力する。BPF63は、加算回路62の出力信号の所定の周波数成分をフィルタリングして被変調出力信号とする。

【0042】以下、図2を参照して受信機1の構成を説明する。受信機1は、QAM復調回路10とビタビ復調回路20から構成されている。

【0043】QAM復調回路10において、搬送波再生回路15は、A/D変換回路13a、13bの出力信号に基づいて搬送波信号の再生を行い、ミキサ11aおよびハイブリッド回路14に入力する。ハイブリッド回路14は、搬送波再生回路15で再生された搬送波信号を 90° 移相してミキサ11bに入力する。

【0044】ミキサ11a、11bはそれぞれ搬送波再生回路15で再生された搬送波信号と送信機5の被変調出力信号の乗算を行ってLPF12aに入力し、ハイブリッド回路14で 90° 移相された再生搬送波信号と送信機5の被変調出力信号の乗算を行って基底帯域に変換し、LPF12bに入力する。

【0045】LPF12a、12bは、それぞれミキサ11a、11bの出力信号の所定の高域遮断周波数以下の周波数成分をフィルタリングし、A/D変換回路13a、13bに入力する。A/D変換回路13a、13bは、それぞれLPF12a、12bの出力信号をアナログ/ディジタル(A/D)変換して、ディジタル形式のI信号、Q信号としてビタビ復調回路20に入力する。

【0046】以下、図3を参照してビタビ復調回路20の構成を説明する。ブランチメトリック発生回路21は、QAM復調回路10から入力されるI信号およびQ信号に基づいてそのユークリッド距離の2乗(ブランチメトリック)を算出する。

【0047】ブランチメトリック補正回路22は、図6(A)に示すようなバレルシフト220から構成されており、搬送波位相制御回路26からの制御信号に基づいて入力データ(I1k)と出力データ(O2k)($k=1 \sim x$)との接続関係を変更し、再生搬送波の位相補償を等価的に行う。

【0048】図6(B)において、ここでI101~I1XXはブランチメトリック発生回路21からのブランチメトリック入力を示す。バレルシフト220は、搬送波位相制御回路26からの制御により、図中に示すように、指定されたシフト量を入力されるブランチメトリック(I101~I1XX)に与え出力データ(O201~O2xx)として出力する。

【0049】図6(B)は、シフト量1の場合について示してある。バレルシフト220に与えられた制御信号により入力データを1ビットシフトしたとすると、補正されたブランチメトリックとして出力データO201は入力データI102を、出力データO202は入力データI103を出力する。このような関係は図示を省略した入出力データ間にも成立する。また、異なるシフト量に対しても、同様にシフト量に対応したシフトを入力データに与えて与えて出力する。

【0050】このように受信信号と各信号点とのユークリッド距離の2乗である1組のブランチメトリックがどの位相状態の信号点に対するものであるかに応じて順次シフトしてゆくことにより再生搬送波信号の位相を補

正する。なお、バレルシフタ220の代わりにマルチプレクサのような回路を使用してもよい。

【0051】ACS回路23は、入力されたブランチメトリックに基づいて最尤パス計算を行い、最も尤度の高いブランチを算出してパスメモリ24を制御し、このブランチメトリックと既に記憶されているステートメトリックを加算し、この加算値から前記ステートメトリックの最小値を減算して正規化し、この値を新たなステートメトリックとして記憶する。

【0052】パスメモリ24は、ACS回路23からの制御に基づいて選択されたパスを所定段数分記憶する。P/S変換回路25は、パスメモリ24出力の平行形式の最尤パス出力データを平行/シリアル変換して直列データの形式で出力する。搬送波位相制御回路26は、ACS回路23から出力される正規化された最小のステートメトリックに基づいて再生搬送波信号の位相が送信機の搬送波信号と位相的にずれていることを識別し、ブランチメトリック補正回路22を制御して移相補償を行わせる。

【0053】以下、送信機5および受信機1の動作を説明する。送信機5は、例えば符号化8PSK方式に対応したレートでデータ入力について畳み込み符号器51で畳み込み符号化を行い、この畳み込み符号化されたデータについて信号割当回路52でその信号間の最小ユークリッド距離が最大になるように設定された符号化変調方式に対応した信号割当を行い、I信号およびQ信号としてPSK変調回路6に入力する。

【0054】さらに、PSK変調回路6は信号割当回路52から入力されるI信号およびQ信号を変調して受信機1に送出する。PSK変調回路6において、局部発振回路64は、搬送波信号を生成する。この搬送波信号はそのままミキサ61aおよびハイブリッド回路65に入力される。

【0055】ハイブリッド回路65に入力された搬送波信号は90°移相され、ミキサ61bに入力される。ミキサ61a、61bは、それぞれ移相の異なる搬送波信号と信号割当回路52から出力されるI信号およびQ信号を乗算する。この2つの乗算結果は加算回路55で加算され、BPF63でのフィルタリングにより帯域制限され、受信機1に送出される。

【0056】送信機5からの信号を受けた受信機1は、ミキサ11a、11bにより、搬送波再生回路11で再生された搬送波信号、およびこの搬送波信号をハイブリッド回路14で90°移相した信号とそれぞれ乗算する。この乗算結果はそれぞれLPF12a、12bによりフィルタリングされ、さらに、A/D変換回路13a、13bによりA/D変換される。このA/D変換回路13a、13bの出力信号はそれぞれI信号、およびQ信号としてビタビ復調回路20に入力される。

【0057】以下、ビタビ復調回路20の動作について

説明する。まず、前提として再生搬送波信号と送信機5の搬送波信号に位相差があり、かつ、位相補正をしない場合、復号データにどのような影響が出るか、また、その際のブランチメトリックの性質を説明する。図7は、ビタビ復調回路20動作を説明するために、受信機1の再生搬送波信号と送信機5の搬送波信号の位相差が0°である場合と45°である場合の8PSK信号を示した図である。

【0058】受信機1の再生搬送波信号と送信機5の搬送波信号の位相差が0°である場合、つまり再生搬送波信号が位相的に正確に再生されている場合、各信号点S₀～S₇は受信機1と送信機5で一致する。このため、正しい復号データを得ることができる。

【0059】一方、図7(A)と(B)を比較してわかるように、再生搬送波信号と送信機5の搬送波信号に45°の位相差がある場合、送信機5がS₀を送信しても受信機1ではS₇を復号データとして出力することとなる。このように両者に位相差がある場合、受信機1が受信信号と信号点S₇の間のブランチメトリックとして計算している値は、実際には信号点S₀との間のブランチメトリックである。

【0060】しかし、同時に算出される一組のブランチメトリックは、再生搬送波信号と送信機5の再生搬送波信号の位相のずれにかかわらず、同じ要素から構成される。つまり、ブランチメトリックの計算値は、位相差に対応していずれかの信号点に対して算出されるかが異なるのみである。これは再生搬送波信号の位相不確定状態を与える信号点が、搬送波信号に対して軸対称、または点対称になっているためである。

【0061】以上より、信号点と受信信号のユークリッド距離の2乗であるブランチメトリックも搬送波信号に対して軸対称、または点対称であるため、そこで求めた一組のブランチメトリックが、どの位相状態の信号点に対するのかをシフトする事によって再生搬送波信号の位相の不確定性を補正できる。

【0062】以下、ビタビ復調回路20における再生搬送波信号と送信機5の搬送波信号の位相補正の動作について説明する。ブランチメトリック発生回路21は受信されたI信号及びQ信号と、現在仮定されている符号化方式における各信号点とのユークリッド距離の2乗をブランチメトリックとして発生する。

【0063】ただし、この場合においては、再生搬送波信号の位相は送信機5の搬送波信号の位相と一致していると仮定する。ブランチメトリック補正回路22では、ブランチメトリック発生回路21から入力されるブランチメトリックと搬送波信号位相制御回路26からの制御信号に基づいて、各信号点にどのブランチメトリックを割り付けるかを定める。

【0064】ブランチメトリック補正回路22で再生搬送波信号の位相不確定さを除去し、正しいブランチメ

リックとしてACS回路23に補正後のブランチメトリックを入力する。ACS回路23はブランチメトリック発生回路21が算出したブランチメトリックに基づいて最尤パスを算出するとともに、ブランチ選択信号およびパス選択信号によりパスメモリ回路24を制御する。なお、パスメモリ24の出力データはパラレル形式並であるため、P/S変換回路25によりシリアル形式の信号に変換され、復号データとして出力される。

【0065】搬送波位相制御回路26は、ACS回路23から入力される正規化された最小のステートメトリックに基づいてブランチメトリック補正回路22を制御する。つまり、搬送波位相制御回路26は正規化された最小のステートメトリックを所定の回数累加算し、この累加算結果が所定の規準値以上であればブランチメトリック補正回路22のパレルシフタ220のシフト量を再生搬送波信号と送信機5の搬送波信号の位相差があると識別して1増やし、規準値以下であれば両者の位相差がないと識別してパレルシフタ220のシフト量をその値に保持する。

【0066】図8は、ビタビ復調回路20で行われる処理を示すフローチャートである。以下、図9を参照してビタビ復調回路20、特に搬送波位相制御回路26での処理について説明する。図8において、ステップ01

(S01)において、ブランチメトリック発生回路21はブランチメトリックを算出する。ステップ02(S02)において、ACS回路23はブランチメトリック発生回路21で算出されたブランチメトリックに基づいて正規化された最小のステートメトリックを算出する。

【0067】ステップ03(S03)以下は搬送波位相制御回路26での処理である。ステップ03(S03)において、搬送波位相制御回路26はACS回路において算出された正規化された最小のステートメトリックを累加算する。ステップ04(S04)において、搬送波位相制御回路26は、正規化された最小のステートメトリックを規定の回数累加算したか否かを判断する。規定の回数累加算した場合、S01の処理に進み、規定の回数累加算していない場合はS05の処理に進む。

【0068】ステップ05(S05)において、搬送波位相制御回路26は正規化された最小のステートメトリックの累加算結果が規準値以下か否かを判断する。規準値以下である場合、累加算値をリセット(S06)してS01の処理に進む。規準値以下でない場合、累加算値をリセット(S07)して、ブランチメトリック補正回路22のシフト量を1増加させる(S08)。

【0069】上述の通りS05における判断は、この正規化された最小のステートメトリックの累加算値についての判断である。ここで、再送搬送波信号と送信機5の搬送波信号の位相的な同期が取れている場合、この累加算値は伝送路における雑音、歪および妨害のレベルを表す。一方、再送搬送波信号と送信機5の搬送波信号の位

相的な同期が取れていない場合、このパスメトリックの累加算値は伝送路における雑音、歪および妨害のレベルに関係なく一定数値以上になっている。

【0070】一般に、再送搬送波信号と送信機5の搬送波信号の位相的な同期が取れている場合の前記累加算値は同期がとれていない場合の累加算値に比べて約(1/2)程度の値となる。累加算値に対する規準値はこの2つの場合の累加算値を明確に識別可能な値に設定される。

【0071】以上述べた他、本発明のビタビ復号方法およびその装置は、例えば実施例中に変形例として示したような種々の構成をとることが可能である。以上述べた実施例は例示である。

【0072】

【発明の効果】以上述べたように本発明によれば、回路構成が複雑でなく、また回路規模が小さいにもかかわらず、4状態以上の位相不確定状態を有する符号化変調方式にも対応可能なビタビ復号方法およびその装置を提供することが可能である。

【図面の簡単な説明】

【図1】トレリス符号化変調方式でデータの伝送を行う一般的な送信機の構成を示す図である。

【図2】本発明のビタビ復号方法およびその装置が適用される受信機の構成を示す図である。

【図3】受信機のビタビ復号回路の構成を示す図である。

【図4】8PSKの信号間のユークリッド距離を示す図である。

【図5】拘束長3、レジスタ数 γ が2の場合の畳み込み符号器のトレリス表現の例を示す図である。

【図6】パレルシフタを示す図である。

【図7】ビタビ復調回路の動作を説明するために、受信機の再生搬送波信号と送信機の搬送波信号の位相差が0°である場合と45°である場合の8PSK信号を示す図である。

【図8】ビタビ復調回路で行われる処理を示すフローチャートである。

【図9】搬送波位相補正回路を有する従来のビタビ復号回路の構成を示す図である。

【図10】従来の第一の搬送波位相補正回路の構成を示す図である。

【図11】従来の第二の搬送波位相補正回路の構成を示す図である。

【図12】45°補正回路の構成を示す図である。

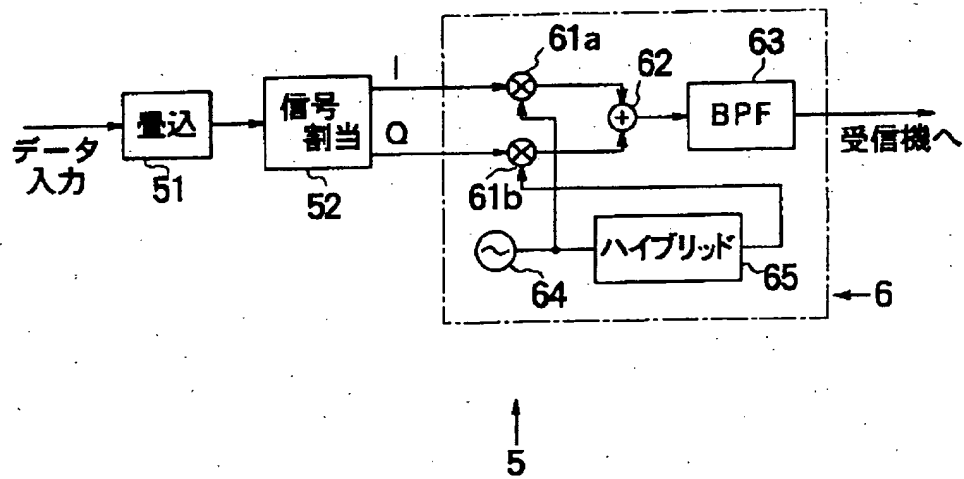
【図13】16QAMの信号を示す図である。

【符号の説明】

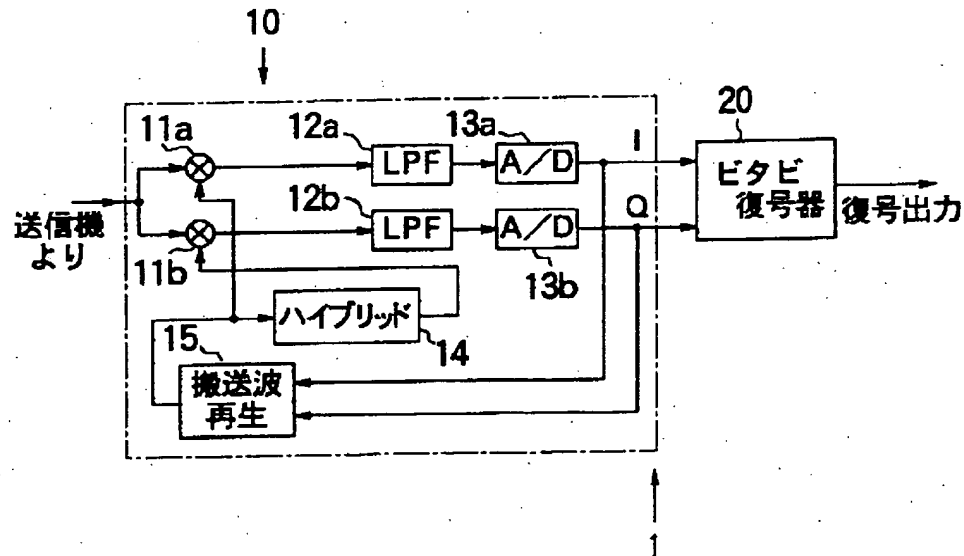
- 1・・・受信機
- 10・・・QAM復調回路
- 11・・・乗算回路
- 12・・・L P F

- | | |
|--------------------|---------------|
| 13・・・A/D変換回路 | 5・・・送信機 |
| 14・・・ハイブリッド回路 | 51・・・畳み込み符号器 |
| 15・・・搬送波再生回路 | 52・・・信号割当回路 |
| 20・・・ビタビ復調回路 | 6・・・P S K変調回路 |
| 21・・・ブランチメトリック発生回路 | 61・・・乗算回路 |
| 22・・・ブランチメトリック補正回路 | 62・・・加算回路 |
| 220・・・パレルシフタ | 63・・・B P F |
| 23・・・A C S回路 | 64・・・局部発振回路 |
| 24・・・パスメモリ | 65・・・ハイブリッド回路 |
| 25・・・P/S変換回路 | |

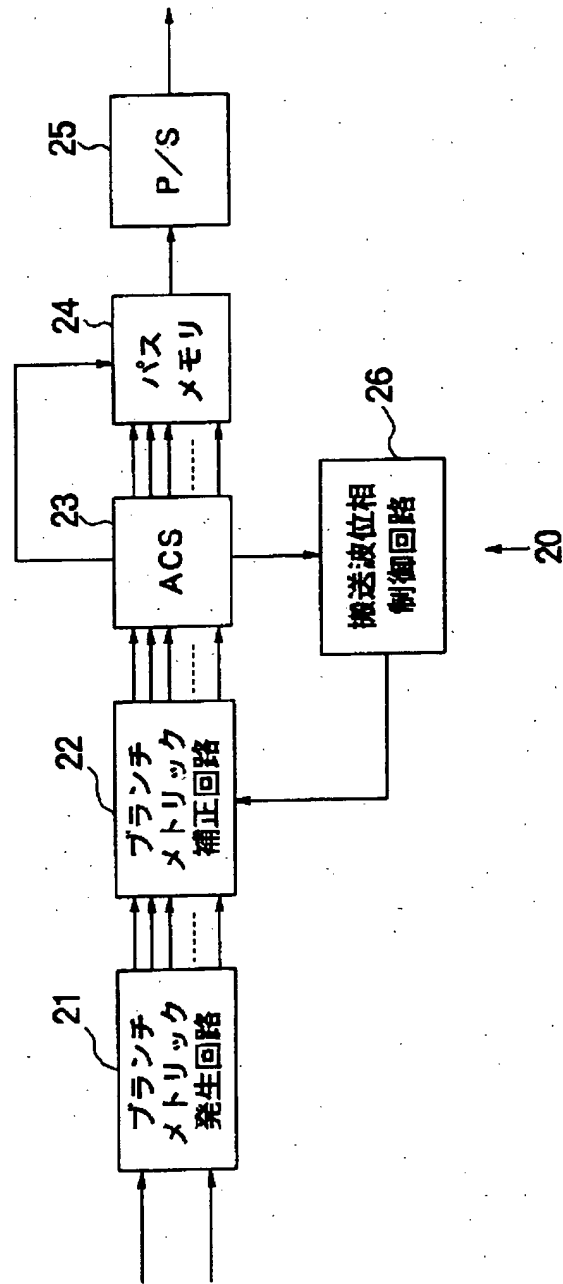
【図1】



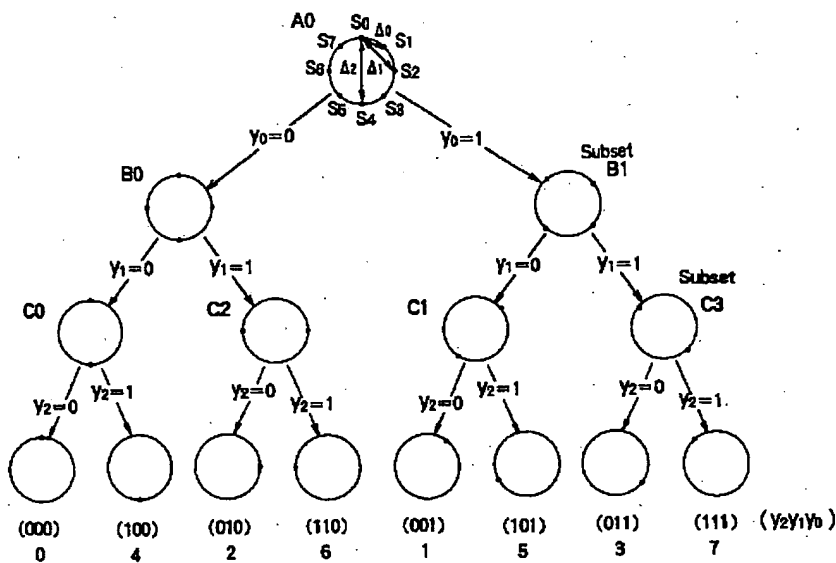
【図2】



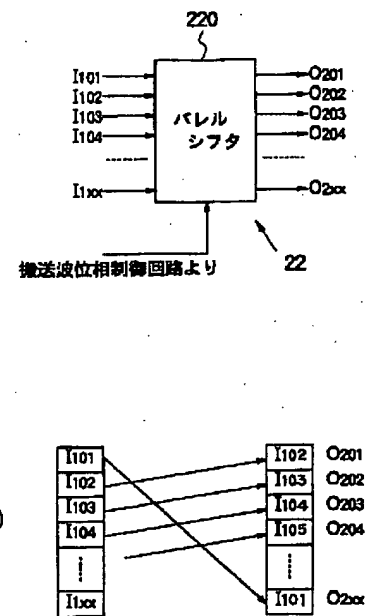
【図3】



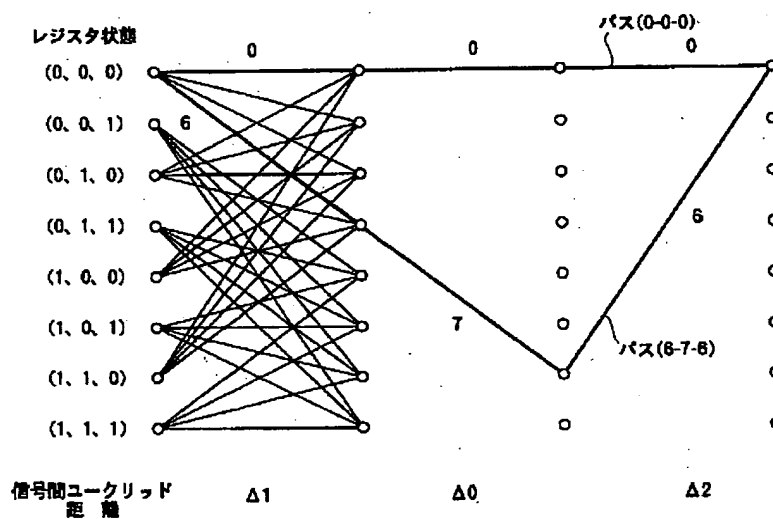
【図4】



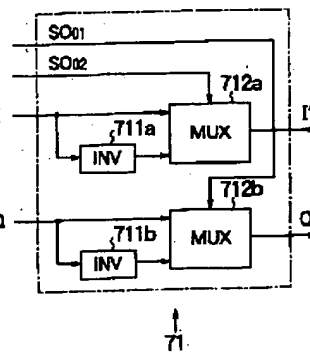
【図6】



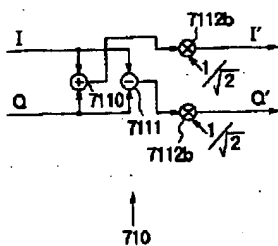
【図5】



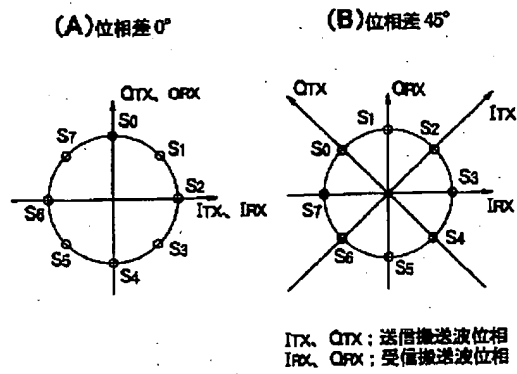
【図10】



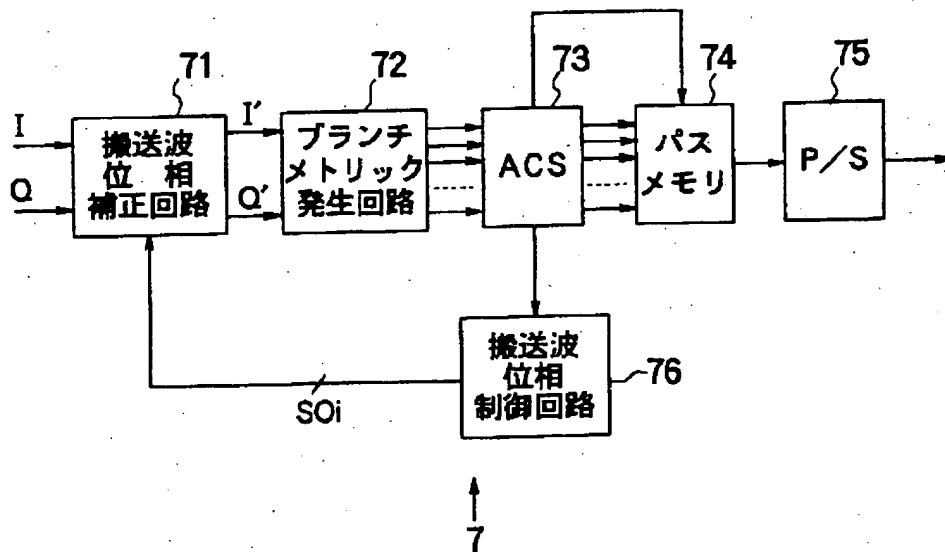
【図12】



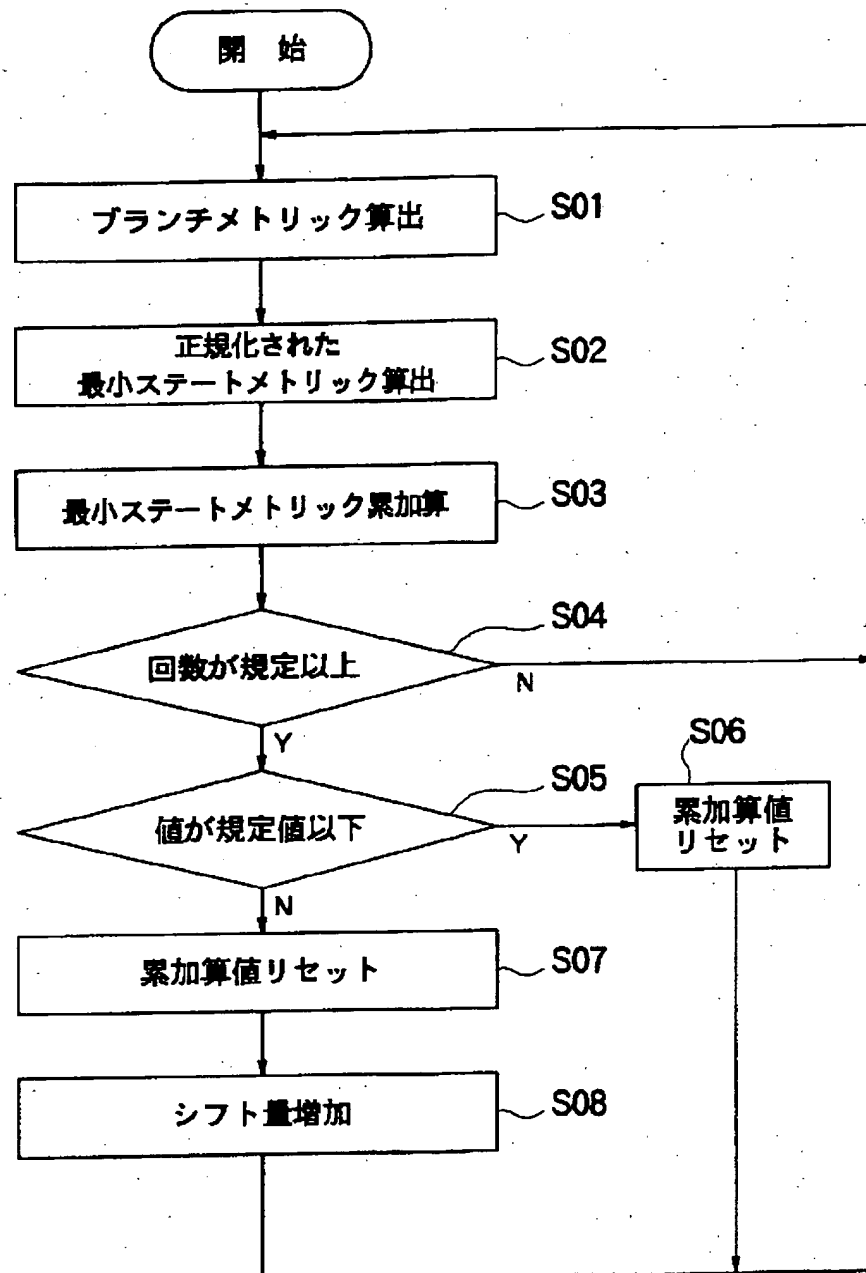
【図7】



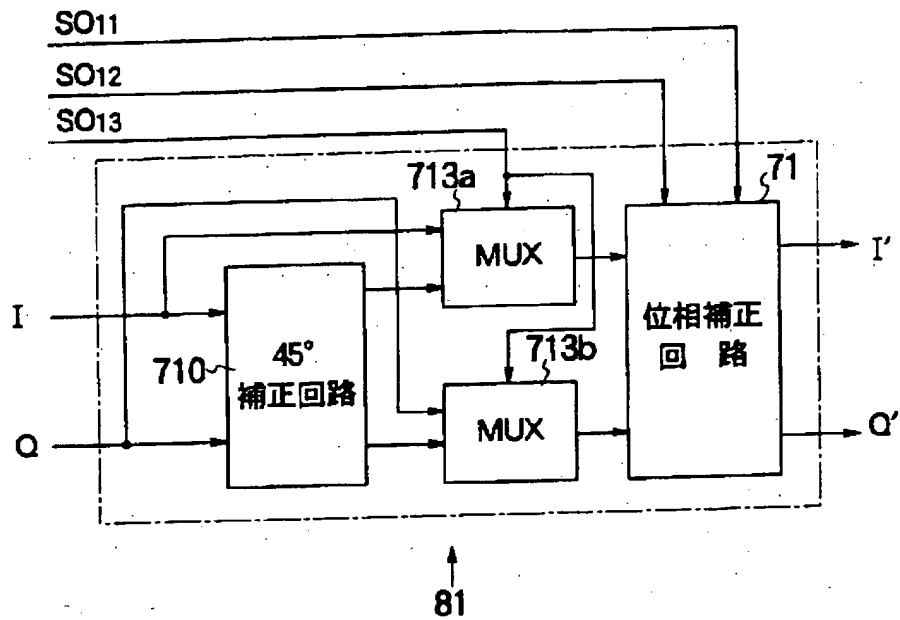
【図9】



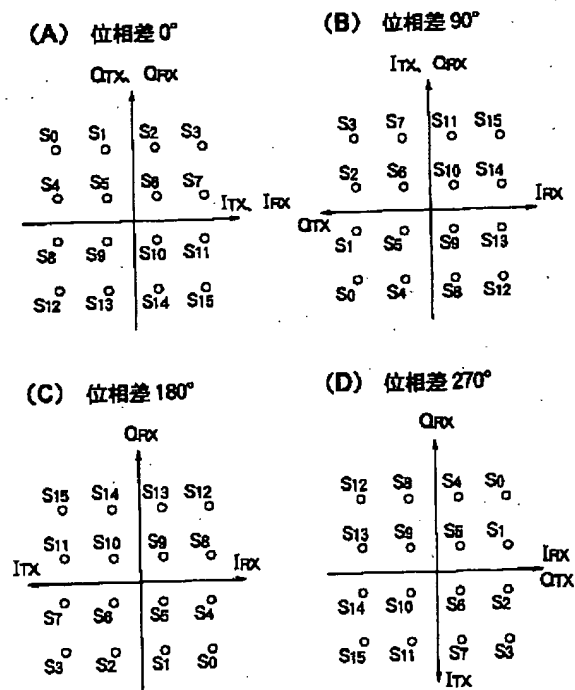
【図8】



【図11】



【図13】



ITX, QTX: 送信搬送波位相
IRX, QRX: 受信搬送波位相

フロントページの続き

(51) Int. Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 L 27/22

A 9297-5K

// H 0 3 M 13/12

8730-5 J